

PATENT
0941-0342P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Jian-Hsing LEE et al. Conf.: 7624
Appl. No.: 09/974,056 Group: 0941
Filed: October 11, 2001 Examiner:
For: ESD PROTECTION COMPONENT

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

December 13, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	090116752	July 9, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

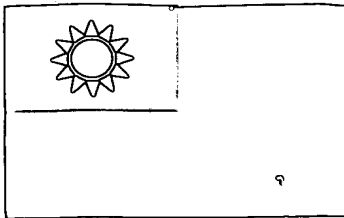
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

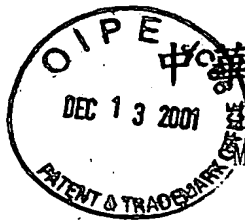
KM/apw
0941-0342P

Attachment



0841-0342P
/974,056-
10/11/2001

Jiang-Hsing LEE
BSK B, LLP
(703) 205-8000



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 07 月 09 日
Application Date

申請案號：090116752
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2001 年 11 月 1 日
Issue Date

發文字號：09011016535
Serial No.

RECEIVED

DEC 17 2001

TC 2300 MAIL ROOM

申請日期：	案號：	90116752
類別：		

(以上各欄由本局填註)

發明專利說明書

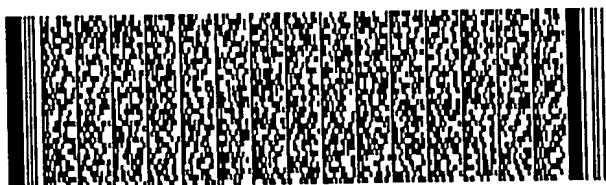
一、 發明名稱	中文	靜電放電防護元件
	英文	
二、 發明人	姓名 (中文)	1. 李建興 2. 彭國瑞 3. 陳遂泓
	姓名 (英文)	1. Jian-Hsing Lee 2. Kuo-Reay Peng 3. Shui-Hung Chen
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 嘉義縣朴子市竹園里10鄰大同路322號 2. 高雄縣鳳山市文德里7鄰濱山街15巷49號 3. 新竹市武陵路228巷36號
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：靜電放電防護元件)

一種靜電放電防護元件，包含有至少一第一導電型之二MOS場效電晶體(field effect transistor, FET)、該第一導電型之第一井區以及一第二導電型之一第一摻雜區。該二MOS FET具有二控制閘，大致平行地設於該第二導電型之一第一半導體層上。該第一井區形成於該第一半導體層上，包含有一連接區以及二延伸區。該連接區設於該等MOS FET之間。該二延伸區以大致垂直於該等控制閘的方向，平行地設於該等MOS FET之兩側。該第一摻雜區，設於該連接區中。其中每一MOS FET之汲極區、該第一半導體層、該第一井區以及該第一摻雜區構成了一個SCR。利用SCR與NMOS FET的組合，可以大幅的增加ESD防護效能。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

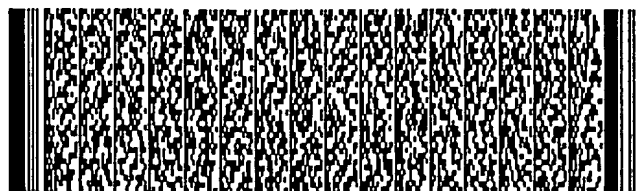
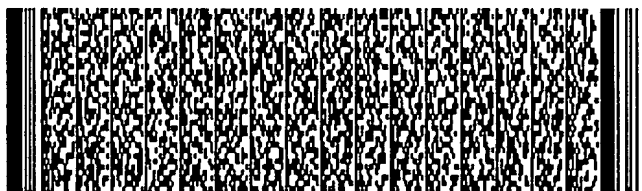
五、發明說明 (1)

本發明係有關於一種靜電放電防護元件，尤指一種結合MOS(metal oxide semiconductor)場效電晶體(field effect transistor, FET)與半導體控制整流器(semiconductor controlled rectifier, SCR)的靜電放電防護元件。

隨著製程技術的進步，ESD之耐受力已經是積體電路(integrated circuit, IC)可靠度的主要考量之一。尤其是半導體製程技術進入深次微米時代(deep submicron regime)後，縮小尺寸(scaled-down)的電晶體、較淺的摻雜接面深度、較薄的閘氧化層、輕摻雜之汲極結構(lightly-doped drain, LDD)、淺溝隔離(shallow trench isolation, STI)製程以及金屬矽化物(salicide)製程等，對於ESD應力而言都是比較脆弱的。因此，在IC的輸出入埠便必須特別設計ESD防護電路，用以保護IC中的元件免於遭受ESD損害。

一般的ESD防護電路可以運用輸出級的NMOS FET中所寄生的npn雙接面電晶體(bipolar junction transistor, BJT)來釋放ESD電流，因為輸出級的NMOS FET通常具有大尺寸，能夠釋放大電流而不被燒毀。

另一種方法是運用SCR跨接在輸出入埠的接合鉀墊與電源線間。SCR的持守電壓(holding voltage)相當的低(大約等於1V)，所以產生的熱功率也會相對的小。因此，可以用來釋放ESD電流，而不至於燒毀了自己。習知技術中，已經運用NMOS FET來降低SCR的觸發電壓。第1a圖為



五、發明說明 (2)

一種習知的NTLSCR(NMOS triggered low-voltage SCR)的佈局示意圖，第1b圖為第1a圖中沿著aa'線的剖面圖。其中，SCR的pnpn結構係以，p+摻雜區64、n型井62、p型基體60以及n+摻雜區66所構成。然而，當要繪製SCR時，如何在佈局上安排NMOS FET、以及SCR的位置，以求得較小的面積、且具有較佳的ESD防護能力，卻是見仁見智的問題。

美國專利編號第5,742,085號提供了一種SCR，其中，兩個SCR之間設置了一個NMOS FET。當NMOS FET的汲極崩潰時，可以同時觸發兩旁的SCR，達到節省晶片面積的目的，同時達到良好的ESD防護效能。

有鑑於此，本發明的主要目的，在於提供一種結合NMOS FET以及SCR的ESD防護元件，同時具有良好的ESD防護效能以及較小的晶片面積。

根據上述之目的，本發明提出一種整合NMOS FET以及SCR的ESD防護元件，具有小元件尺寸、高ESD防護效能的特性。

本發明提供了一種靜電放電防護元件，包含有至少一第一導電型之二MOS場效電晶體(field effect transistor, FET)、該第一導電型之第一井區以及一第二導電型之一第一摻雜區。該二MOS FET具有二控制閘，大致平行地設於該第二導電型之一第一半導體層上。該第一井區形成於該第一半導體層上，包含有一連接區以及二延伸區。該連接區設於該等MOS FET之間。該二延伸區以大



五、發明說明 (3)

致垂直於該等控制閘的方向，平行地設於該等MOS FET之兩側。該第一摻雜區，設於該連接區中。其中每一MOS FET之汲極區、該第一半導體層、該第一井區以及該第一摻雜區構成了一個SCR。

本發明之優點在於1. MOS FET可以提供整個ESD防護元件一個較低的觸發電壓，加快了SCR的觸發速度；2. 第一井區於ESD事件時可以被偏壓，SCR的觸發速度被加速；3. NMOS FET下的寄生的npn雙接面電晶體可以增加整個ESD的防護效能；4. 整個ESD防護元件的所佔的面積相當的小。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1a圖為一種習知的NTLSCR(NMOS triggered low-voltage SCR)的佈局示意圖；

第1b圖為第1a圖中沿著aa'線的剖面圖；

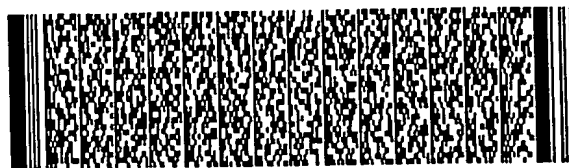
第2a圖為本發明的一EDS防護元件的一佈局示意圖；

第2b圖為第2a圖中沿著bb'線的剖面圖；

第3圖為本發明之ESD防護元件與習知的NMOS FET的電壓電流關係圖；

第4a圖為本發明的另一EDS防護元件的一佈局示意圖；以及

第4b圖為第4a圖中沿著bb'線的剖面圖。



五、發明說明 (4)

符號說明：

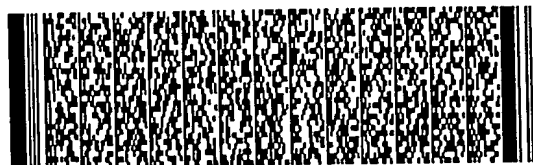
- 10、60 p型基體
- 12、62 n型井
- 14、16、30、66 n+ 摻雜區
- 18 控制閘
- 20、28、64 p+ 摻雜區
- 22 接合鐳墊
- 24 連接區
- 26 延伸區

實施例：

第一實施例

第2a圖為本發明的一ESD防護元件的一佈局示意圖；
第2b圖為第2a圖中沿著bb'線的剖面圖。

本發明的ESD防護元件至少包含了兩個NMOS FET，設於P型基體10上，如第2a圖以及第2b圖所示。每一個NMOS FET具有一控制閘18，並且以n+摻雜區14作為汲極，以n+摻雜區16作為源極。兩個控制閘18大致平行的放置於p型基體10上。兩個n+摻雜區14之間有一個類似"I"圖案的n型井12。n型井12大致可以分成三個部分，其中兩個部分是兩個延伸區26，以大致垂直於控制閘18的方向，平行地設於兩個MOS FET之兩側，如第2a圖所示；一部份是連接區24，置於兩個n+摻雜區14之間，連接了兩個延伸區26。每個延伸區26中形成有一個n型摻雜區30，作為n型井12的接



五、發明說明 (5)

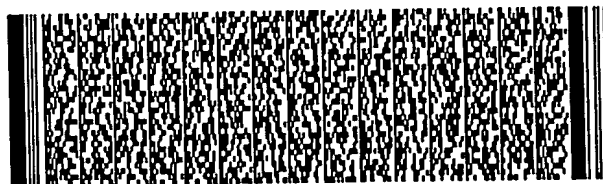
觸點。連接區24中設有一個p+摻雜區28。NMOS FET以及n型井12的外圍形成有一圈p+摻雜區20，作為一防護環(guard ring)，同時作為p型基體10的接觸點。

第2a圖以及第2b圖中的ESD防護元件的電性連接如下。NMOS FET的源極(n+摻雜區16)耦接到Vss，p型基體10透過p+摻雜區20耦接到Vss。汲極(n+摻雜區16)與p+摻雜區28耦接到一接合鉅墊22。n型井12透過設在延伸區26中的n+摻雜區30，耦接到接合鉅墊22。控制閘18可以耦合到Vss、一個前置驅動電路(pre-driver)或是其他的電路，視電路設計的需求而定。

由第2b圖中，可以明顯的看出兩個並聯的SCR串接於接合鉅墊22與Vss之間。每個SCR由p+摻雜區28、n型井12、p型基體10以及n+摻雜區16所構成。

因為兩個NMOS FET的汲極處之崩潰電壓比較低，所以在ESD事件時，他們可以快速的提供SCR之觸發電流。同時，SCR中之n型井12與接合鉅墊22的接觸點(延伸區中的n+摻雜區)相隔遙遠，所以具有一明顯的電阻，可以有效的降低SCR中之n型井12的電位，加速SCR的觸發速度。當ESD事件發生時，NMOS FET下寄生的npn也可以適當的協助ESD電流釋放，增加整個ESD防護元件之ESD防護效能。

兩個NMOS FET可以直接利用後級輸出緩衝器(post-driver)中作為驅動用的NMOS FET。並不一定要額外的製作NMOS FET來實施本發明。也就是說，只要變更後級輸出緩衝器的佈局圖便可以實施本發明的ESD防護元



五、發明說明 (6)

件。

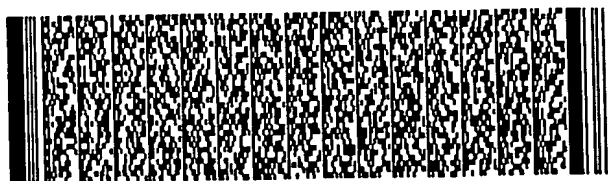
兩個NMOS FET並聯成為一個大尺寸的指狀NMOS FET。當然的，也可以使用兩個以上的NMOS FET來實施本發明。此為熟習ESD佈局者知悉本發明後所能輕易實施，在此並不重述。要注意的是，當使用兩個以上NMOS FET時，本發明中之n型井12並不一定會有"I"型的圖案，可以成為類似"II"型的圖案。

第3圖為本發明之ESD防護元件與習知的NMOS FET的電壓電流關係圖。第1表為習知的之ESD防護元件與習知的NMOS FET的ESD防護效能的比較。

	二次崩潰電流	人體放電模式 之 ESD 耐受力
習知的 NMOS FET	900mA	1.5KV
本發明的 ESD 防護 元件(NMOS FET + SCR)	2550mA	5KV

第 1 表

NMOS FET的通道寬為120微米，為本發明之ESD防護元件中所用的NMOS FET(通道寬為60微米)之兩倍。由第3圖



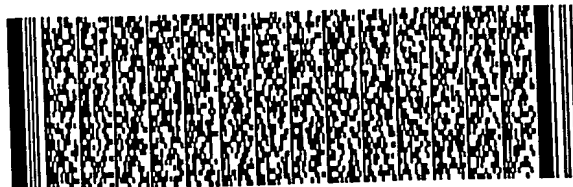
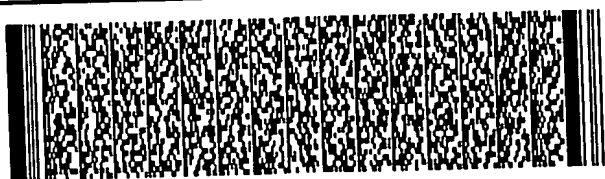
五、發明說明 (7)

以及第1表中可知，習知的NMOS FET雖然具有大尺寸，但是其人體放電模式(human body mode, HBM)的ESD耐受力卻僅僅有1.5KV，無法符合一般商業規格中的2KV之需求。然而，本發明的ESD防護元件，利用了NMOS FET與SCR的組合，雖然其中的NMOS FET僅僅是習知的NMOS FET的一半，但是其HBM之ESD耐受力卻相當的高，達5KV。換句話說，本發明的ESD防護元件具有較小的元件尺寸，但是卻有驚人的ESD防護效能。

第二實施例

第4a圖為本發明的另一ESD防護元件的一佈局示意圖；第4b圖為第4a圖中沿著bb'線的剖面圖。第4a圖與第2a圖類似，所不同處在於連接區24中的n型井12與兩旁的n+摻雜區14相重疊。因此，n+摻雜區14也可以作為n型井12之電性接觸點。如此，一樣也可以實施本發明，架構出一個整合了NMOS FET以及SCR的ESD防護元件。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種靜電放電防護元件，包含有：

至少二第一導電型之MOS場效電晶體(field effect transistor)，具有二控制閘，大致平行地設於一第二導電型之一第一半導體層上；

一第一導電型之第一井區，形成於該第一半導體層上，包含有：

一連接區，設於該等MOS場效電晶體之間；

二延伸區，以大致垂直於該等控制閘的方向，平行地設於該等MOS場效電晶體之兩側；以及

該第二導電型之一第一摻雜區，設於該連接區中。

2. 如申請專利範圍第1項之靜電放電防護元件，其中，該靜電放電防護元件另包含有該第二導電型之一防護環區(guard ring)，設於該第一半導體層上，環繞該MOS場效電晶體以及該第一井區。

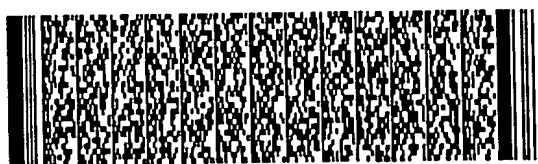
3. 如申請專利範圍第2項之靜電放電防護元件，其中，該第一半導體層係透過該防護環區耦合至一電源線。

4. 如申請專利範圍第1項之靜電放電防護元件，其中，該第一井區與該MOS場效電晶體之一汲極區相隔離。

5. 如申請專利範圍第1項之靜電放電防護元件，其中，該第一井區與該MOS場效電晶體之一汲極區相接觸。

6. 如申請專利範圍第1項之靜電放電防護元件，其中，每一該等MOS場效電晶體具有該第一導電型之一源極區(source region)，耦接至一電源線(power rail)。

7. 如申請專利範圍第1項之靜電放電防護元件，其



六、申請專利範圍

中，該第一井區係由該延伸區耦接到一接合鉀墊。

8. 如申請專利範圍第1項之靜電放電防護元件，其中，該第一摻雜區係耦接到一接合鉀墊。

9. 如申請專利範圍第1項之靜電放電防護元件，其中，每一該等MOS場效電晶體具有該第一導電型之一汲極區(drain region)，耦接至一接合鉀墊。

10. 一種靜電放電防護元件，包含有：

至少一第一導電型之二MOS場效電晶體(field effect transistor)，包含有

二控制閘，大致平行地設於一第二導電型之一第一半導體層上；

該第一導電型之二源極區，耦接至一電源線；以及

該第一導電型之二汲極區；

一第一導電型之第一井區，形成於該第一半導體層上，包含有：

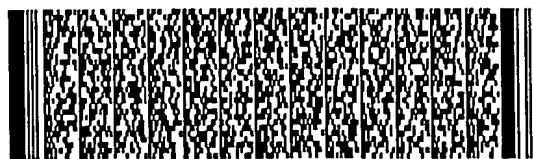
一連接區，設於該等二汲極區之間；以及

二延伸區，以大致垂直於該等控制閘的方向，平行地設於該等MOS場效電晶體之兩側；

該第二導電型之一第一摻雜區，設於該連接區中，耦接至一接合鉀墊；以及

該第二導電型之一防護環區(guard ring)，設於該第一半導體層上，環繞該MOS場效電晶體以及該第一井區，耦接至該電源線；

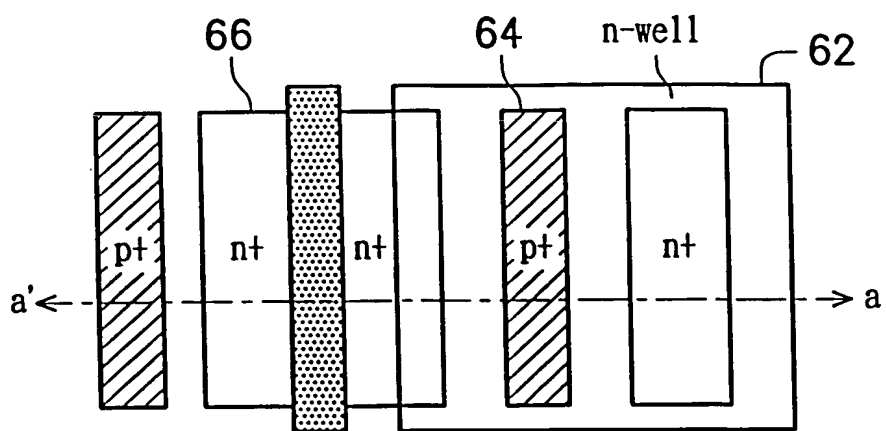
其中，該第一井區係透過該二延伸區，耦接至該接合



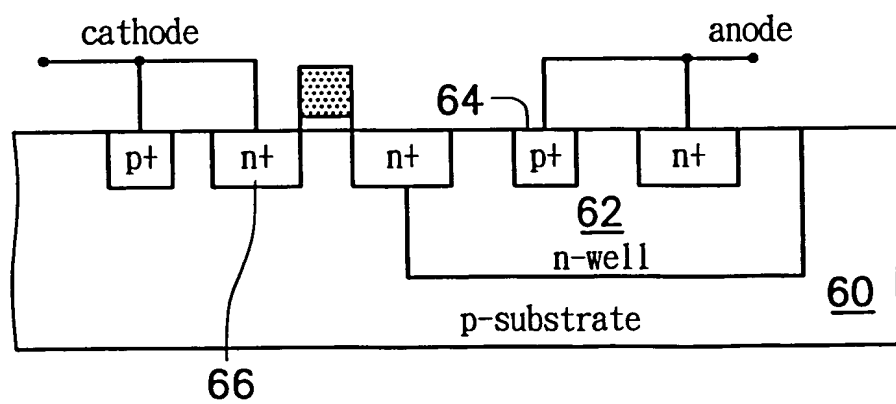
六、申請專利範圍

鉅墊。

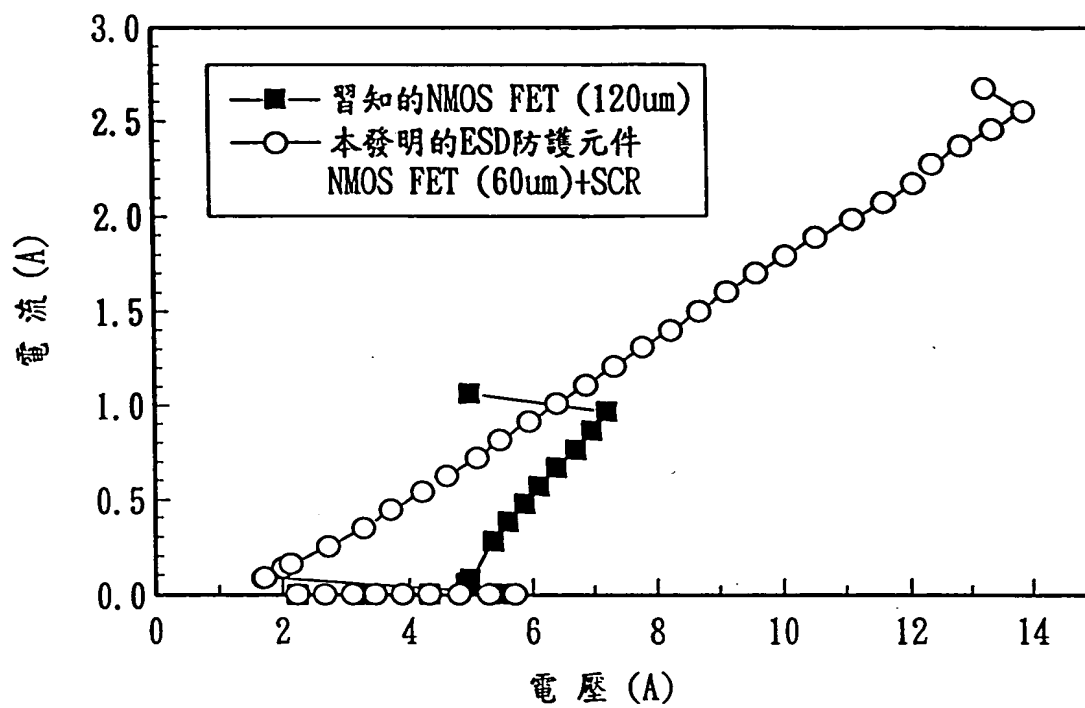




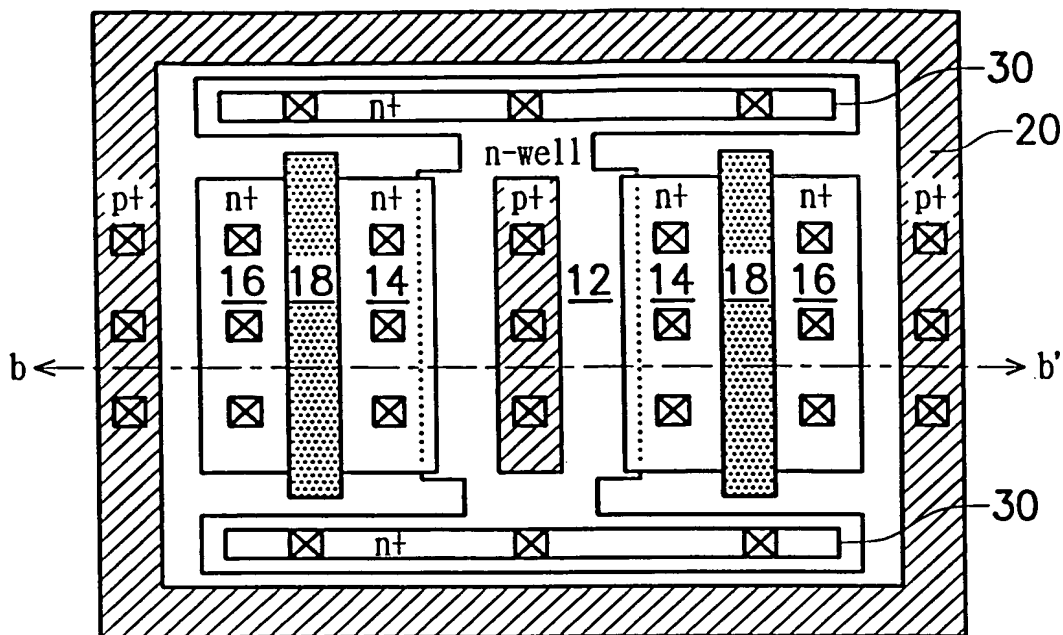
第 1a 圖



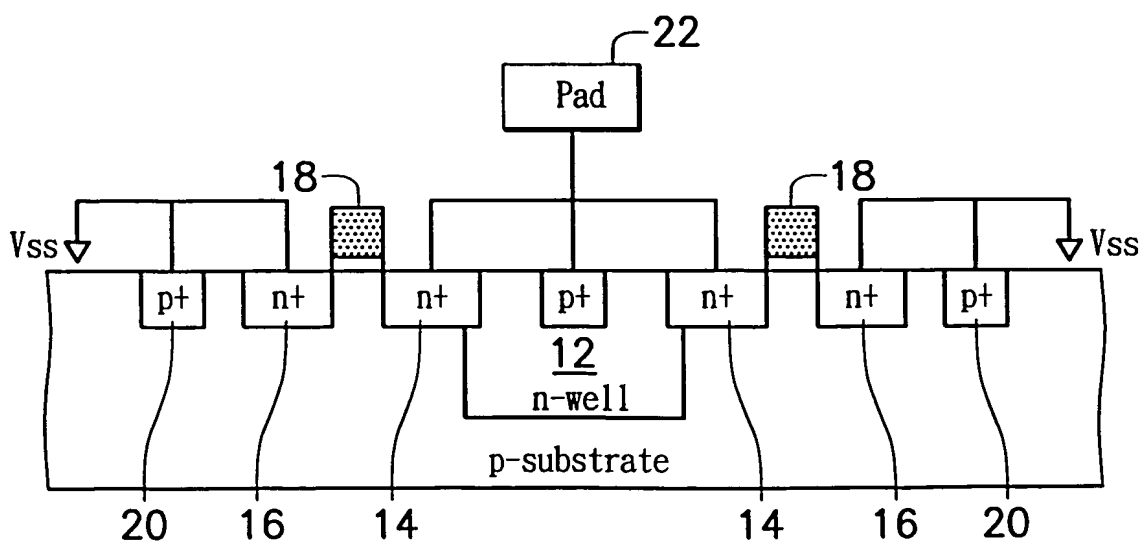
第 1b 圖



第 3 圖

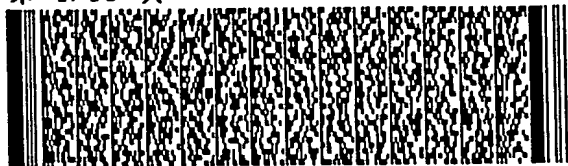


第4a圖

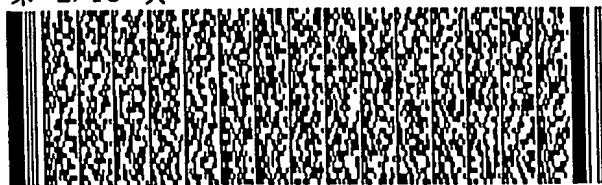


第4b圖

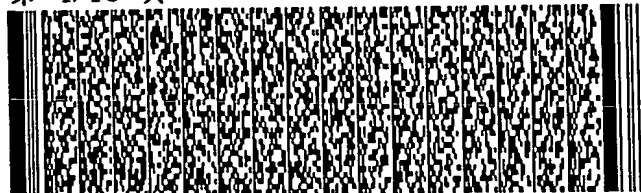
第 1/13 頁



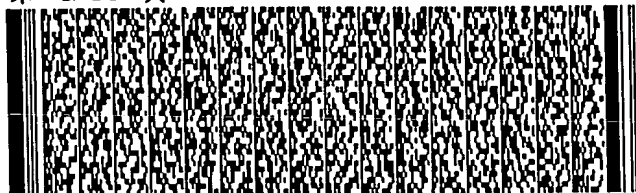
第 2/13 頁



第 4/13 頁



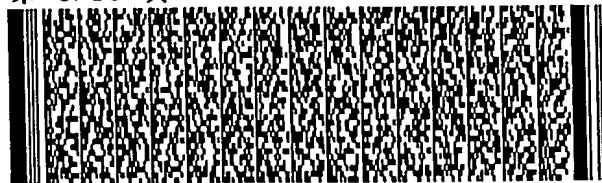
第 4/13 頁



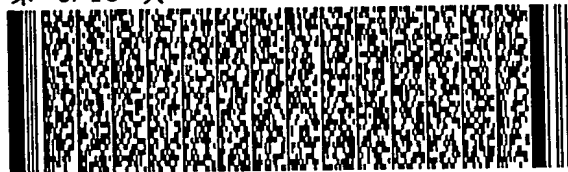
第 5/13 頁



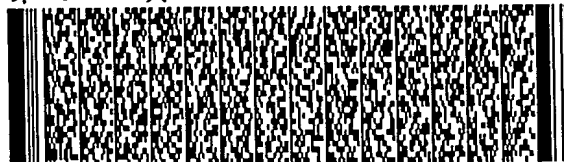
第 5/13 頁



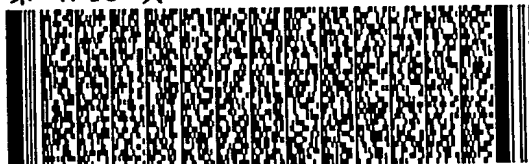
第 6/13 頁



第 6/13 頁



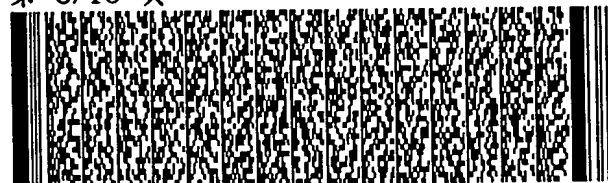
第 7/13 頁



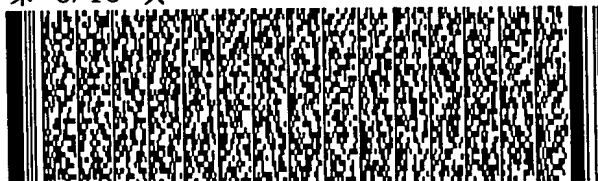
第 7/13 頁



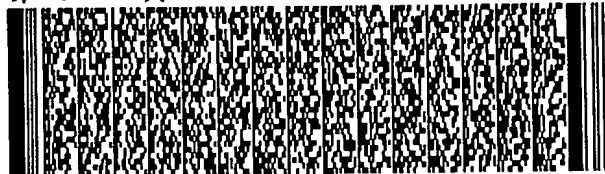
第 8/13 頁



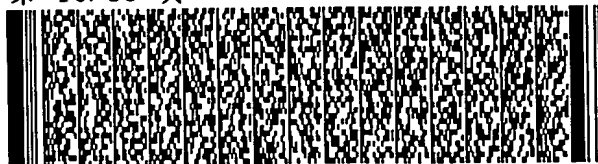
第 8/13 頁



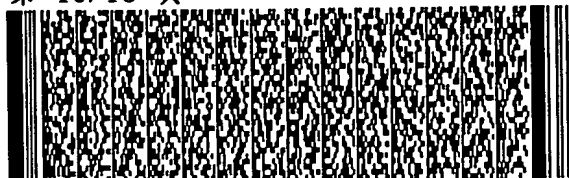
第 9/13 頁



第 10/13 頁



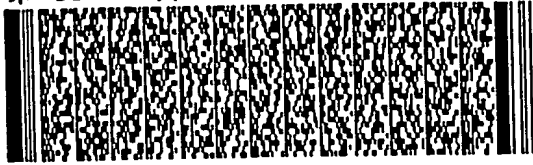
第 10/13 頁



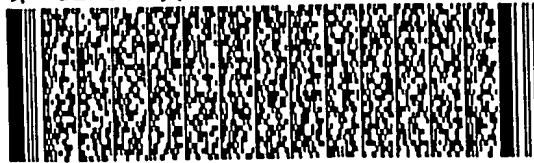
第 11/13 頁



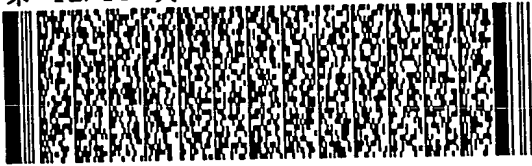
第 11/13 頁



第 12/13 頁



第 12/13 頁



第 13/13 頁

